



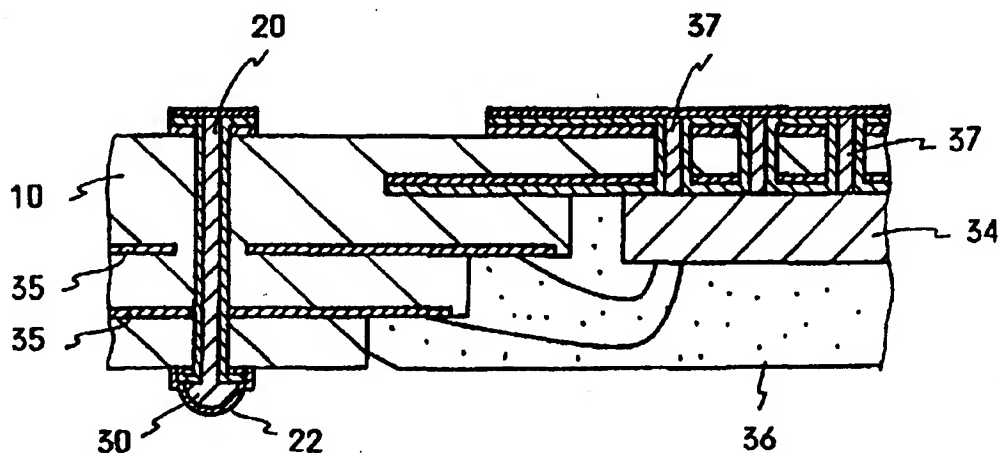
P 34

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 H01L 23/12	A1	(11) 国際公開番号 WO 94/25984 (43) 国際公開日 1994年11月10日 (10. 11. 94)
(21) 国際出願番号 PCT/JP94/00692 (22) 国際出願日 1994年4月25日 (25. 04. 94) (30) 優先権データ 特願平5/132280 1993年4月23日 (23. 04. 93) JP 特願平5/220386 1993年7月5日 (05. 07. 93) JP 特願平5/339919 1993年11月25日 (25. 11. 93) JP (71) 出願人 (米国を除くすべての指定国について) 日本ミクロン株式会社 (NIHON MICRON KABUSHIKI KAISHA) [JP/JP] 〒394 長野県岡谷市川岸上3-4-5 Nagano, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 小松隆次 (KOMATSU, Ryuji) [JP/JP] 〒394 長野県岡谷市川岸上1-9-28 Nagano, (JP) 上野 裕 (UENO, Yutaka) [JP/JP] 〒394 長野県岡谷市長地1448-1 Nagano, (JP) (74) 代理人 弁理士 綿貫隆夫 (WATANUKI, Takao) 〒380 長野県長野市中御所3丁目12番9号 クリエイセンタービル Nagano, (JP)	(81) 指定国 AT, AU, BB, BG, BR, CA, CH, CN, CZ, DE, DK, ES, FI, GB, HU, KR, LK, LU, MG, MN, MW, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SK, UA, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG). 添付公開書類 国際調査報告書	

(54) Title : IC PACKAGE AND METHOD OF ITS MANUFACTURE

(54) 発明の名称 IC パッケージ及びその製造方法



(57) Abstract

A package of surface mount type having a bump (30) on the surface of the substrate of the package as a connecting terminal. A through hole (15) provided through the substrate (10) is filled with electrical insulating paste (20). Part of the paste (20) is extruded from the through hole (15) in the form of a hemisphere and cured together with the paste (20) in the through hole (15) to form the bump (30).

(57) 要約

本発明は基板面に接続端子としてのバンプ（３０）を形成した表面実装型のＩＣパッケージに関するものである。前記基板（１０）の厚み方向に透設して形成されたスルーホール（１５）に導電性あるいは電氣的絶縁性を有するペースト（２０）が充填され、かつペースト（２０）が前記スルーホール（１５）の一端から半球形状に突出してスルーホール（１５）内に充填されたペースト（２０）と一体に固化してバンプ（３０）が形成される。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AM	アルメニア	CZ	チェッコ共和国	KP	朝鮮民主主義人民共和国	NZ	ニュージーランド
AT	オーストリア	DE	ドイツ	KR	大韓民国	PL	ポーランド
AU	オーストラリア	DK	デンマーク	KZ	カザフスタン	PT	ポルトガル
BB	バルバドス	EE	エストニア	LI	リヒテンシュタイン	RO	ルーマニア
BE	ベルギー	ES	スペイン	LK	スリランカ	RU	ロシア連邦
BF	ブルキナファソ	FI	フィンランド	LT	リトアニア	SD	スーダン
BG	ブルガリア	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BJ	ベナン	GA	ガボン	LV	ラトヴィア	SI	スロベニア
BR	ブラジル	GB	イギリス	MC	モナコ	SK	スロヴァキア共和国
BY	ベラルーシ	GE	グルジア	MD	モルドバ	SN	セネガル
CA	カナダ	GN	ギニア	MG	マダガスカル	TD	チャド
CF	中央アフリカ共和国	GR	ギリシャ	ML	マリ	TG	トゴ
CG	コンゴ	HU	ハンガリー	MN	モンゴル	TJ	タジキスタン
CH	スイス	IE	アイルランド	MR	モーリタニア	TT	トリニダードトバゴ
CI	コート・ジボワール	IT	イタリア	MW	マラウイ	UA	ウクライナ
CM	カメルーン	JP	日本	NE	ニジェール	US	米国
CN	中国	KE	ケニア	NL	オランダ	UZ	ウズベキスタン共和国
CS	チェコスロヴァキア	KG	キルギスタン	NO	ノルウェー	VN	ヴェトナム

明 細 書

発明の名称

I C パッケージ及びその製造方法

技術分野

本発明は I C パッケージ及びその製造方法に関し、より詳細には接続端子として基板に半球形バンプを設けた I C パッケージ及びその製造方法に関する。

背景技術

近年、I C の急速な高速化、高機能化にともない、小型かつ多ピンで安価な、しかも信頼性の高い I C パッケージが求められている。これに対し、P G A、T A B、Q F P、B G A など種々のパッケージが開発されてきた。しかしながら、従来の I C パッケージは製造コストや多ピン化の点で問題があった。

たとえば、前記 P G A は多ピン化が比較的容易であるものの、基板にピンを立てる必要があることから製造コストがかかるという問題がある。

また、T A B は一括ボンディングによってインナーボンディングできることから製造コスト的には有利であるが、外周縁でしか接続できないため接続部の配線パターンを微細に形成しなければならない。また、ボンディングの際に特殊な装置を必要とするという問題がある。

また、Q F P は接続端子の設置位置がパッケージの周縁部のみに限定されるため、多ピンにする場合はパッケージの外形寸法を大きくするかピンのピッチを狭くするしか手段がなく、多ピン化が制約されるという問題がある。

また、B G A は接続端子としてハンダボールを使用し、基板面全

体を接続端子の設置スペースにできることから好適に多ピン化が図れるが、実装時にハンダボールがつぶれてショートするおそれがあることや、ハンドリング時にハンダボールが欠落するおそれがあることからＩＣボンディングや樹脂封止した後にハンダボールを取り付けなければならないといった問題があった。

本出願のＩＣパッケージはＢＧＡパッケージと同様に基板にバンプを形成して成るものであるが、基板にバンプを形成する方法としては上記のハンダボールを取り付けるものの他、めっきを施したプラスチックボールを取り付けるといった方法もある。しかしながら、従来のような別体で形成したボールを取り付けたパッケージは、ボールの接合強度が不十分になることや、きわめて小さな部品を取り扱うことから取扱いが煩雑であるといった問題があった。

また、最近のＩＣは上記の多ピン化、小型化とともに高機能化にともない発熱量が大きくなっている。そのため、ＩＣパッケージの熱放散性が問題になっている。ＩＣパッケージの熱放散性を向上させる方法としては放熱用フィンを取り付ける方法やサーマルビアを設ける方法がある。このうち、放熱フィンを取り付ける方法は比較的容易に放熱効果を得ることができ、送風装置と併用することによってさらに高い放熱効果を得ることができるという利点はあるが、放熱フィンは相応な大きさが必要であり、このためＩＣパッケージの小型化、薄型化が阻害される。また、別部品として冷却装置を設けた場合は機器の小型化が難しくなるという問題がある。また、サーマルビアを設ける場合、従来方法ではＩＣチップの直下に設け難く、そのため有効な熱放散ができないという問題があった。

発明の開示

本発明に係るＩＣパッケージは基板面に半球形バンプを形成して表面実装を可能にした製品であり、バンプを基板と一体に形成した

こと及び基板面から半球形に突出させて形成したことを特徴とする。

本発明に係るＩＣパッケージの製造方法は基板にスルーホール形成用の孔をあけ、孔内にペーストを充填することによって半球形のバンパを形成することを特徴とする。なお、使用するペーストは導電性を有するものであっても良いし、電氣的絶縁性のものであってもよい。

基板面から半球形状にバンパを突出させるにはスクリーン印刷法等で基板に設けた孔あるいはスルーホール（スルーホールの用語は電氣的導通を有するものの意で用いる）内にペーストを充填し、孔あるいはスルーホールの一端からペーストを一定量押し出すようにし、ペーストの自重と表面張力の作用によって半球形に形成する。

このように孔内にペーストを充填して半球形にする場合は使用するペーストの粘度やチクソビリティが重要な要素となる。たとえば、チクソビリティが高過ぎるとスルーホールからペーストが尖って突出するようになり、チクソビリティが低過ぎるとペーストがわきに流れて立ち上がり形状が形成されなくなる。このようにして形成するバンパは各々の大きさや高さが均一にならないといけない。バンパの高さ寸法などが不均一だと実装の際に確実な接続ができなくなるからである。

上記のようにしてバンパを形成したスルーホールの他端は基板面上に形成した配線パターンに接続し、半球形バンパと配線パターンとがスルーホール部分で電氣的に導通して、表面実装可能になる。

なお、半球形バンパを形成する場合、基板にスルーホール形成用の孔を設けてスルーホールめっきを施してからペーストを充填する方法と、基板にスルーホール形成用の孔を形成した後、スルーホールめっきを施さずにそのままペーストを充填して形成する方法がある。

スルーホールめっきを施さない場合は、スルーホール形成用の孔

の内面とペーストとの密着性が問題になるのに対し、スルーホールめっきを施した場合は、孔の内面とめっき層との密着性が良好になってパッケージの密封性が向上するという利点がある。また、スルーホールめっきを施した場合はスルーホール部分での電氣的導通が良好になるという利点がある。

なお、スルーホールめっきを施す場合はスルーホールの内面のめっき層で電氣的に導通するから、導電性ペーストのかわりに電氣的絶縁性のペーストを使用することが可能である。この場合のペーストは半球形バンプの形状を保持するコア部を構成することになる。

半球形バンプを形成した後はバンプの半球部の表面に銅めっき層等の導体めっき層を形成するのがよい。この導体めっき層は、バンプを補強する作用と、実装の際におけるハンダ付けを可能にすること、スルーホールの密封性を向上させ I C パッケージの吸湿を防止するという作用がある。

上記の導体めっき層は電解めっきあるいは無電解めっきによって形成できる。電解めっきを施す場合はバンプと電氣的に導通をとる必要があるから配線パターン等を形成する製造工程とのかねあいで電解めっきと無電解めっきを選択する必要がある。

無電解めっきを使用する場合は必要個所にのみ選択的にめっき被膜が形成されるようにしなければならないから、その場合は無電解めっき被膜を析出しやすいペーストを使用すればよい。無電解めっき被膜を析出しやすいペーストを使用することによって、必要個所にのみ選択的に導体めっき被膜を形成することができる。無電解めっきは電解めっきを施すための電氣的導通をとる下地めっきとしても使用できる。

本発明で使用する半球形バンプ形成用のペーストとしては、上記の導電性あるいは電氣的絶縁性を有するものの他にさらに、ハンダ付け性を備えた材料も使用できる。ハンダ付け性を有するペースト

を使用する場合は、半球形バンプの表面に上記のような導体めっき層を設けずにそのままハンダ付けによって実装できるという利点がある。

また、さらに半球形バンプ形成用のペーストとして良好な熱伝導性を有するペーストを使用することによって基板にサーマルビアを形成してパッケージの熱伝導性を向上させるようにすることもできる。

本発明に係るＩＣパッケージの製造方法によれば、基板に設けたスルーホール形成用の孔にペーストを充填してバンプを形成するから、従来のような別体で形成したハンダボールを基板に接合する方法とは異なり基板と一体にバンプが形成でき、バンプが基板から欠落するといったことを防止することができる。したがって、従来のようにＩＣボンディングあるいは樹脂封止した後にハンダボールを接合するという製造工程をとる必要がなく、ＩＣパッケージの完成品として提供することができる。これによって、半導体装置の製造を容易にすることが可能になる。

また、接続端子が半球形バンプとして形成されるから実装時における電氣的短絡の発生を効果的に防止することができる。また、バンプはペーストを半球形に固化したコアによって形成されているから保形性があり、実装の際にバンプがつぶれたりすることを防止することができる。

本発明に係るＩＣパッケージの基板材料としては、電氣的絶縁性を有する材料が広く適用可能である。一般には、ガラスエポキシを変性させた耐熱性のガラスエポキシあるいはＢＴレジン、ポリイミド、あるいはこれらとエポキシ樹脂とを混合させたものが好適である。また、プラスチック基板のかわりにセラミック基板を使用することも可能である。

また、本発明に係るＩＣパッケージを構成する基板も単層に限ら

ず複数の配線パターン層を有する多層基板も使用できる。また、複数の IC チップを搭載するマルチチップタイプの基板に対しても適用することができる。また、ヒートスプレッドを装着した基板やテープキャリアと組み合わせて使用する基板等についても適用できる。

図面の簡単な説明

第 1 図は IC パッケージの製造方法の実施例において、基板にスルーホール形成用の孔を形成した状態の断面図である。

第 2 図はスルーホールめっきを施した状態の断面図である。

第 3 図は基板にランドを形成した状態の断面図である。

第 4 図はスルーホールに導電性ペーストを充填した状態の断面図である。

第 5 図はバンプおよびめっき層に電解めっきを施した状態の断面図である。

第 6 図は配線パターンを形成し、保護めっきを施した状態の断面図である。

第 7 図は IC パッケージの側断面図である。

第 8 図は IC パッケージの底面図である。

第 9 図は IC パッケージに IC チップを搭載した状態の断面図である。

第 10 図は半球形バンプの他の形成例を示す断面図である。

第 11 図は IC パッケージの製造方法の第 2 実施例において、スルーホールめっきを施した状態の断面図である。

第 12 図は両面エッチングによって配線パターンおよびランドを形成した状態の断面図である。

第 13 図はバンプを形成した状態の断面図である。

第 14 図はバンプ表面およびめっき層に無電解銅めっきを施した

状態の断面図である。

第15図はICパッケージの製造方法の第4実施例において、ランドを形成した状態の断面図である。

第16図はバンプを形成した状態の断面図である。

第17図は銅めっき層を設けた状態の断面図である。

第18図は配線パターンを形成した状態の断面図である。

第19図はICパッケージの製造方法の第6実施例で得られるICパッケージの断面図である。

第20図はICパッケージの製造方法の第7実施例で得られるICパッケージの断面図である。

第21図はICパッケージをマザーボードに搭載した状態を示す説明図である。

第22図は半球形バンプと配線パターンとの接続の様子を示す説明図である。

第23図は半球形バンプと配線パターンとの接続の様子を示す説明図である。

第24図は半球形バンプと配線パターンが位置ずれしている状態での接続の様子を示す説明図である。

第25図は平形バンプと配線パターンとが位置ずれしている状態での接続の様子を示す説明図である。

発明を実施するための最良の形態

以下、本発明に係るICパッケージ及びその製造方法に関する好適な実施例について添付図面とともに説明する。

(実施例1)

第1図～第6図は本発明に係るICパッケージの製造方法の第1実施例を示す。本実施例は導電性ペーストを使用して半球形バンプを形成する例である。

導電性ペーストとしては、たとえば、CLX-204（タムラ製作所製）、MDP-800、900（三井東圧化学社製）が使用できる。

- ① 第1図は、まず、両面に銅箔12を被着形成した基板10に穴明け加工を施してスルーホール形成用の孔14を形成した状態を示す。孔14は基板10に設けるバンプの平面配置に合わせて所定数形成する。図では説明上、一つの孔14のみ示す。
- ② 次に、スルーホールめっきにより、孔14の内壁面にめっき層16を設けスルーホール15を形成するとともに、銅箔12表面にめっき層16を形成する（第2図）。このめっき層16は基板10の上面に形成する配線パターンと基板10の下面に形成するバンプとを電氣的に導通させるためのものである。スルーホールめっきは、無電解銅めっきを施した後、電解銅めっきを施して行う。
- ③ 次に、基板10のバンプ形成面に片面エッチングを施し、各々のスルーホール15の位置に合わせてランド18を形成する。ランド18は平面形状を円形とし、形成すべきバンプの径サイズよりも若干大径に形成する（第3図）。
- ④ 次に、スルーホール15の下端部から導電性ペースト20を一定量押し出すようにして基板10の上方からスルーホール15内に導電性ペースト20を充填する。第4図はスルーホール15内に導電性ペースト20を充填した状態を示す。

スルーホール15の下端から押し出された導電性ペースト20は自重と表面張力の作用によってランド18の下側に半球形に突出する。導電性ペースト20を充填した後、加熱して導電性ペースト20を固化させ、基板10の下面に半球部20aを形成する。

- ⑤ 次いで、スルーホール15の上部の導電性ペースト20を研削して平坦化する。次に、電解銅めっきを施し、導電性ペースト2

0の半球部20aの外面および基板10上面の導電性ペースト20の露出面、めっき層16の表面に銅めっき層22を設ける（第5図）。

⑥ 次に、基板10の上面に設けられた導体層に対し片面エッチングを施して配線パターン24を形成する。これによって基板10の上面に配線パターン24が形成され、配線パターン24と基板10下面のバンパが電氣的に導通される。

⑦ 第6図は上記工程後、バンパと配線パターン24の表面にニッケルめっき、金めっき等の保護めっき26を設けた状態を示す。

ICパッケージはこの後、外形加工を施して製品とされる。

本実施例のICパッケージは従来のハンダボール等を用いてバンパ形成した製品とは異なり、スルーホール15に導電性ペースト20を充填して形成したことによって基板10と半球形バンパとが一体に形成される点が特徴である。

実施例では導電性ペースト20の半球部20aの外面に銅めっき層22を設けたが、この銅めっき層22は半球形バンパを補強する作用と実装時におけるハンダ付け性を得ること、スルーホール15を密封してICパッケージの密封性を向上させるという作用を有する。

実施例ではランド18を半球部20aよりも大径に形成して、銅めっき層22がバンパの基部位置で段差形状になるようにした。このように段差形状にした方が半球形バンパの補強に有効である。なお、第10図はバンパの径とランド18の径を同サイズとしてバンパの基部に段差を形成しないように作成した例である。

上記実施例では電解銅めっきを施して銅めっき層22を設けたが、銅めっきの他にニッケルめっき、銀めっき、金めっき等の他の導体めっきを使用することも可能であり、また、同一又は異種のめっき層を複数層に形成することもできる。

なお、上記実施例ではスルーホール15に充填するペーストとして導電性ペーストを使用した。導電性ととも無電解銅を析出しやすい性質を有するペーストを使用してもよい。このペーストを使用する場合も上記実施例と同様な製法による。ただし、この場合はバンプに銅めっき層を形成する際に、無電解銅を析出しやすいペーストの性質を利用してまず無電解銅めっきを施して電解銅めっきの下地層を形成した後、電解銅めっきによって銅めっき層を厚付けする。この方法は、導電性ペーストであっても銅めっき層が形成しにくいといった場合に、無電解銅を析出して銅めっき層を設けた方が銅めっき層が確実に被着形成できるという利点がある。なお、無電解めっきとしては銅めっきに限らず、ニッケルめっき、銀めっき等の無電解めっきが使用でき、バンプを形成するペーストとしてはこれら無電解めっき被膜を析出しやすい材料を選べばよい。

第7図は基板10に半球形バンプ30を形成したICパッケージの側断面図、第8図は底面図を示す。図示例はキャビティダウン形式の製品で、基板10の下面中央部にICチップを搭載する搭載穴32を形成し、搭載穴32の周囲に半球形バンプ30を形成している。

第9図は半球形バンプ30を形成したICパッケージにICチップ34を搭載した半導体装置を示す。この半導体装置は基板10が複数の内層配線パターン35を有する多層基板によって構成される。プラスチック基板によって形成する表面実装型のICパッケージではこのように複数の内層配線パターンを有する基板を積層して形成する場合が一般的である。

このように積層体で形成した基板を使用する場合も上記実施例と同様に基板にスルーホールを設け、スルーホールに導電性ペースト20を充填して半球形バンプ30を形成することによりICパッケージを製造することができる。

この I C パッケージの実施例では I C チップとワイヤボンディングによって接続する配線パターンの端子部を多段に形成している。このように多段に形成することで多ピン化を図ることができる。

内層配線パターン 3 5 と I C チップ 3 4 とはワイヤボンディング等で接続し、I C チップ 3 4 を樹脂封止して半導体装置とする。3 6 は封止樹脂である。

図示例では搭載穴の底面にもスルーホールを設け導電性ペースト 2 0 を充填してサーマルビア 3 7 を設けた。

(実施例 2)

上記実施例では導電性ペーストを使用して半球形バンプを形成したが、本実施例は無電解銅を析出しやすい樹脂ペーストを使用して製造する方法である。なお、無電解銅を析出しやすい樹脂ペーストとしては、パラジウム、銅等を混入したペーストが使用できる。

本実施例の I C パッケージの製造方法を第 1 1 図～第 1 4 図にしたがって説明する。

- ① まず、両面に銅箔を被着形成した基板にスルーホール形成用の孔を透設し、スルーホールめっきを施す(第 1 1 図)。
- ② 次に、基板 1 0 に両面エッチングを施し、基板 1 0 の一方の面に配線パターン 4 0 及び他方の面にランド 4 2 を形成する(第 1 2 図)。
- ③ 次に、無電解銅を析出しやすい樹脂ペースト 4 4 を用い、実施例 1 と同様な方法によって、基板 1 0 に設けたスルーホール形成用の孔に樹脂ペースト 4 4 を充填してランド 4 2 側に半球部 4 4 a を形成する(第 1 3 図)。
- ④ 次に、無電解銅めっきを施し、半球部 4 4 a、配線パターン 4 0 の外面に銅めっき層 4 6 を設ける(第 1 4 図)。樹脂ペースト 4 4 は無電解銅めっきを析出しやすいものであるから、バンプおよび配線パターン 4 0 部分にのみ選択的に無電解銅を析出して図

のように銅めっき層 4 6 によって被覆することができる。

- ⑤ 次に、銅めっき層 4 6 の外面にニッケルめっき、金めっき等の保護めっきを施して製品とする。

本実施例では無電解銅を析出しやすい樹脂ペース 4 4 を使用することによって無電解銅めっきにより好適に銅めっき層 4 6 を設けることができる。この場合、銅めっき層 4 6 は無電解銅めっきのみによって厚付けする。本実施例のように、あらかじめ配線パターン 4 0 を形成してからめっき被膜を設ける方法の場合は無電解めっきが好適である。なお、無電解めっきとしては、銅めっきに限らず、これ以外の無電解めっきが利用できる。その場合、ペーストは無電解めっき被膜を析出しやすいものを使用すればよい。

本実施例の場合は実施例 1 とは異なり、配線パターン 4 0 とランド 4 2 が一回のエッチング工程で形成できるという利点がある。

なお、本実施例で使用する無電解銅を析出しやすい樹脂ペーストには導電性はとくに要求されず、電氣的絶縁性のものであっても使用できる。

(実施例 3)

上記各実施例ではいずれも基板にスルーホール形成用の孔を設けた後にスルーホールめっきを施しているが、本実施例はスルーホールめっきを省略して製造する方法である。第 1 5 図～第 1 8 図に本実施例の製造方法を示す。

- ① まず、両面に銅箔 1 2 を被着形成した基板 1 0 にスルーホール形成用の孔 1 4 を形成し、片面エッチングによって基板 1 0 のバンプ形成面にランド 1 8 を形成する (第 1 5 図)。
- ② 次に、孔 1 4 に導電性ペースト 2 0 を充填し、半球部 2 0 a を形成する (第 1 6 図)。
- ③ 次に、電解銅めっきを施して半球部 2 0 a の表面と銅箔 1 2 の表面に銅めっき層 2 2 を設ける (第 1 7 図)。

- ④ 次に、基板 10 の上面のめっき層を片面エッチングし、配線パターン 40 を形成する（第 18 図）。

こうして、スルーホールめっきを施さずに半球形バンプを有する IC パッケージが得られる。この IC パッケージも基板と半球形バンプが一体形成されて成るものである。半球形バンプと基板 10 の上面の配線パターン 40 とはスルーホール 15 の導電性ペースト 20 を介して電氣的に導通する。

（実施例 4）

スルーホールめっきを省略して製造する他の実施例を示す。本実施例では、

- ① 銅箔を被着形成した基板にスルーホール形成用の孔を透設した後、両面エッチングによってランドおよび配線パターンを形成する。
- ② 次に、スルーホール形成用の孔に導電性を有し、かつ無電解銅を析出しやすい樹脂ペーストを充填してバンプを形成する。
- ③ 次に、無電解銅めっきを施してバンプおよび配線パターンに選択的に銅めっき層を被着形成することによって製造する。

本実施例では無電解銅めっきを使用したか、無電解銅めっきに限らず、無電解めっき被膜を析出しやすい樹脂ペーストを使用することにより他の無電解めっきを使用することができる。

上記実施例 3 および実施例 4 の製造方法では、スルーホールめっきを省略することから製造工程を簡素化できるという利点がある。これら実施例によって得られる IC パッケージも先の実施例による場合と同様に、銅めっき層によってバンプを被覆することにより、バンプを補強でき、ハンダ付け性およびスルーホールの密封性を得ることができる。

なお、これら実施例 3、4 による場合はスルーホールに充填した導電性ペーストによってバンプと配線パターンとが電氣的に接続さ

れるが、導電性ペーストはスルーホールめっきによるめっき層にくらべて電氣的抵抗が大きいという不利がある。

(実施例 5)

ハンダ付け可能な導電性ペーストを使用する実施例を示す。本実施例では、

- ① 両面に銅箔を被着形成した基板にスルーホール形成用の孔を透設し、スルーホールめっきを施した後、基板に両面エッチングを施し、ランドおよび配線パターンを形成する。
- ② 次に、ハンダ付け性を有する導電性ペーストをスルーホールに充填し、半球形バンプを形成して IC パッケージとする。

第 19 図に本実施例の方法によって得られた IC パッケージの構成を示す。IC パッケージはスルーホール内に導電性およびハンダ付け性を有する導電性ペースト 50 が充填され、バンプの半球部 50a がめっき層等で被覆されず、そのまま外部に露出する形態となる。本実施例の方法によって得られる IC パッケージはハンダ付けによってそのまま実装することができ、バンプに銅めっき層を設ける必要がないという利点がある。

なお、この実施例の方法によって作成する IC パッケージの場合も前述した実施例と同様にバンプ基部にはバンプ径よりも径大のランド 18 が形成される。また、本実施例の場合もバンプの保護用としてニッケルめっき、金めっき等の保護めっきを施してもよい。

(実施例 6)

ハンダ付け可能な導電性ペーストを使用する実施例で、スルーホールめっきを省略する方法である。

本実施例では、

- ① 両面に銅箔を被着形成した基板にスルーホール形成用の孔を透設した後、基板に両面エッチングを施し、ランドおよび配線パターンを形成する。

② 次に、導電性およびハンダ付け性を有する導電性ペーストを前記スルーホール形成用の孔に充填し、半球形バンパを形成してICパッケージとする。

第20図に本実施例の方法によって得られたICパッケージの構成を示す。本実施例のICパッケージはスルーホールに導電性ペースト50が充填されて基板10とバンパが一体形成され、基板10の上面に銅箔をエッチングしてなる配線パターン52が形成されている。本実施例の方法によって得られるICパッケージはきわめて構成が単純化されている点が特徴である。導電性ペースト50はハンダ付け性を有するから、そのままハンダ付けによって実装することができる。

(実施例7)

上記各実施例ではスルーホールにペーストを充填して基板と一体にバンパを形成したが、スルーホールに充填するペーストの熱伝導性を利用することによって効率的な熱放散を可能にするサーマルビア付きのICパッケージを形成することが可能である。良好な熱伝導性を有する導電性ペーストとしては、銅、銀等の金属粉を含有するペーストが使用できる。

第21図は熱伝導性の良好な導電性ペースト60を使用して形成したICパッケージをマザーボードに搭載した例を示す。ICパッケージは接続端子としての半球形バンパ60aとICチップ34の搭載穴の下面に設けたサーマルビア62を有する。

サーマルビア62は上記各実施例で説明したと同様に、接続端子としての半球形バンパを形成した場合と同様な方法で形成する。すなわち、接続端子形成用のスルーホールの他にICチップ搭載部にサーマルビア形成用のスルーホールを設け、これらのスルーホールに導電性ペースト60を充填してバンパを形成する。その後、基板10の上面をざぐり加工して搭載穴を形成することにより、ICチ

チップ34の搭載面にサーマルビア62の上端面を露出させることができ、ICチップ34をじかにサーマルビア62に接続することができる。

第21図で64はマザーボードの絶縁層、66は接続用パッド、68はプリプレグ、70はシールド層、72はマザーボードの熱伝導層である。ICパッケージは半球形バンブ60aが接続用パッド66に接続され、サーマルビア62がマザーボードの熱伝導層72に接続される。これによって、ICパッケージとマザーボードが電氣的に接続されるとともに、サーマルビア62を介してICチップ34からの熱放散が効率的になされる。

本実施例のICパッケージに設けたサーマルビア62はICチップ34にじかに接続されるから、ICチップ34から効率的に熱放散させることが可能になる。

第21図に示す例はスルーホールめっきを施して接続端子を形成した場合を示すが、接続端子の形成方法としては他の方法も適用可能である。本方法によるサーマルビアを有するICパッケージの製造方法は接続端子と同時にサーマルビアも形成できる点できわめて有効な方法である。

なお、上記の方法とは別の方法として、接続端子とサーマルビアとを別工程で形成することも可能である。すなわち、多層積層の際のプリプレグを用いてICチップ搭載範囲にサーマルビアを形成しておき、後工程で上記方法にしたがって接続端子部分のバンブを形成するようにすることもできる。

第22図および第23図は半球形バンブを有するICパッケージを実装する際における接続部の様子を示す説明図で、プリント基板74にハンダ76でICパッケージを実装した様子を示す。78はプリント基板74の表面に設けたハンダ付け用パッドである。

第22図はハンダ76の量が少ない場合、第23図はハンダ76

の量が多い場合である。半球形バンパはその頂点面でハンダ付け用パッド78に当接し、その当接部位の周囲にメニスカス状にハンダ76が付着する。このように接続端子が半球形になっていると半球形バンパの当接部位に外側からハンダ76が引きよせられ、ハンダ76が外側に流れ出ることを防止する。これによってハンダ量の変動しても確実な接続を行うことが可能になる。

実際に半球形バンパを多数個形成したICパッケージをプリント基板に接合して個々の半球形バンパとプリント基板のハンダ付け用パッドとの接合の様子をX線装置により観察したところ、セルフアライメントの作用によって半球形バンパとハンダ付け用パッドとの位置が一致するとともに、パッドと半球形バンパとの当接部位にハンダが引きよせられて確実に接合されていることを確認した。

第24図および第25図は半球形バンパと配線パターンとが位置ずれした場合の接続の様子を示す。第25図は比較として平形のバンパを有するICパッケージの場合を示す。第25図に示すように平形のバンパを有するICパッケージの場合は、ハンダ付け用パッド78とバンパが位置ずれするとハンダ付け用パッド78の外側にまでハンダ76がはみ出し、バンパの端面と実装基板面とが接近して隣接するパッド78との間で電氣的短絡が生じやすくなる。これに対して、半球形バンパの場合は第24図に示すようにバンパの外面と実装基板面とは離れているからハンダ付け用パッド76の外側にハンダ76が流れ出ることを防止し、これによって電氣的短絡を防止することができる。このように、半球形バンパを使用した場合はパターン間の電氣的短絡を防止して好適な接続を行うことができ、接続端子を高密度に形成することが可能となって好適に多ピン化に対応することが可能になる。

請 求 の 範 囲

1. 基板に表面実装用の bumps を形成した IC パッケージにおいて、
前記基板の厚み方向に透設して形成されたスルーホールに導電性あるいは電氣的絶縁性のペーストが充填され、前記ペーストが前記スルーホールの一端から半球形状に突出して前記スルーホール内に充填されたペーストと一体に固化して bumps が形成され、
該半球形の bumps 表面に銅めっき等の導体めっき層が被着形成されたことを特徴とする IC パッケージ。
2. 基板に表面実装用の bumps を形成した IC パッケージにおいて、
前記基板の厚み方向に透設して形成された孔に導電性ペーストが充填され、前記導電性ペーストが前記孔の一端から半球形状に突出して前記孔内に充填された導電性ペーストと一体に固化形成されて成ることを特徴とする IC パッケージ。
3. 導電性ペーストがハンダ付け性を有するものである請求の範囲第 2 項記載の IC パッケージ。
4. 導電性ペーストによって形成された半球形の bumps 表面に銅めっき等の導体めっき層が被着形成されたことを特徴とする請求の範囲第 2 項記載の IC パッケージ。
5. 基板が複数個の IC チップを搭載可能にしたマルチチップタイプのものであることを特徴とする請求の範囲第 1 項または第 2 項記載の IC パッケージ。
6. 基板が複数の内層配線パターンを有する多層基板であることを特徴とする請求の範囲第 1、2 または 5 項記載の IC パッケージ。
7. IC チップと接続する配線パターンの端子部が多段に形成されたことを特徴とする請求の範囲第 6 項記載の IC パッケージ。
8. 半球形 bumps の基部に bumps よりも径大のランドが設けられたことを特徴とする請求の範囲第 1、2 または 4 項記載の IC パッ

ケージ。

9. 基板のICチップ搭載範囲にサーマルビアが設けられたことを特徴とする請求の範囲第1または2項記載のICパッケージ。

10. 基板のICチップ搭載範囲に、基板に透設されたスルーホールあるいは孔内に前記接続端子を形成するペーストと同じペーストが充填されたサーマルビアが設けられたことを特徴とする請求の範囲第1または2項記載のICパッケージ。

11. 基板に表面実装用のバンプを形成したICパッケージの製造方法において、

前記基板に形成するバンプの平面配置位置に合わせて基板の厚み方向にスルーホール形成用の孔を透設し、

前記孔内にペーストを充填して、前記孔の一端から半球形状にペーストを突出させ、孔内のペーストとともに一体にペーストを固化させることによってバンプを形成することを特徴とするICパッケージの製造方法。

12. 基板に表面実装用のバンプを形成したICパッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、

スルーホールめっきを施し、

前記基板の片面をエッチングして前記孔位置に合わせてランドを形成し、

スルーホールに導電性ペーストを充填して前記スルーホールの一端から半球形状に前記導電性ペーストを突出させ、

前記導電性ペーストを固化させてバンプを形成し、

電解めっきを施して前記バンプ表面に銅めっき等の導体めっき層を設け、

前記ランド形成面とは反対側の基板面をエッチングして所定の

配線パターンを形成することを特徴とするＩＣパッケージの製造方法。

13. 請求の範囲第12項記載のＩＣパッケージの製造方法において、前記導電性ペーストにかえて無電解めっき被膜を析出しやすいペーストを使用し、

スルーホールを形成してバンプを形成した後、

無電解めっきを施して前記バンプ表面に無電解導体めっき層を設け、次いで、電解めっきにより導体めっき層を厚付けすることを特徴とするＩＣパッケージの製造方法。

14. 基板に表面実装用のバンプを形成したＩＣパッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、

スルーホールめっきを施し、

前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、

前記スルーホールに無電解めっき被膜を析出しやすいペーストを充填して前記スルーホールの一端から半球形状に前記ペーストを突出させ、

前記ペーストを固化させてバンプを形成し、

無電解めっきにより前記バンプ表面に導体めっき層を設けることを特徴とするＩＣパッケージの製造方法。

15. 基板に表面実装用のバンプを形成したＩＣパッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、

前記基板の片面をエッチングして前記孔位置に合わせてランドを形成し、

前記孔内に導電性ペーストを充填して前記スルーホール的一端から半球形状に前記導電性ペーストを突出させ、

前記導電性ペーストを固化させてバンプを形成し、

電解めっきを施して前記バンプ表面に導体めっき層を被着形成し、

前記ランド形成面とは反対側の基板面をエッチングして所定の配線パターンを形成することを特徴とするＩＣパッケージの製造方法。

16. 基板に表面実装用のバンプを形成したＩＣパッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、

前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、

前記孔内に無電解めっき被膜を析出しやすい導電性ペーストを充填してスルーホール的一端から半球形状に前記導電性ペーストを突出させ、

前記導電性ペーストを固化させてバンプを形成し、

無電解めっきにより前記バンプ表面に導体めっき層を厚付けすることを特徴とするＩＣパッケージの製造方法。

17. 基板に表面実装用のバンプを形成したＩＣパッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向にスルーホール形成用の孔を透設し、

スルーホールめっきを施し、

前記基板の両面をエッチングして前記孔位置に合わせてランドおよび配線パターンを形成し、

前記スルーホールにハンダ付け性を有する導電性ペーストを充

填してスルーホール的一端から半球形状に前記導電性ペーストを突出させ、

前記導電性ペーストを固化させてバンプを形成することを特徴とする I C パッケージの製造方法。

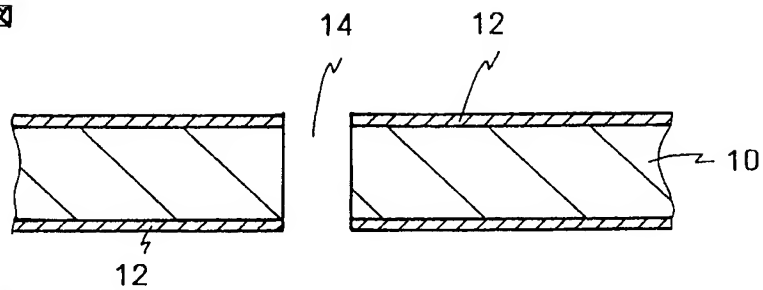
1 8. 基板に表面実装用のバンプを形成した I C パッケージの製造方法において、

両面に銅箔を被着形成した基板の厚み方向に接続端子形成用の孔を透設するとともに I C チップの搭載範囲にサーマルビア形成用の孔を透設し、

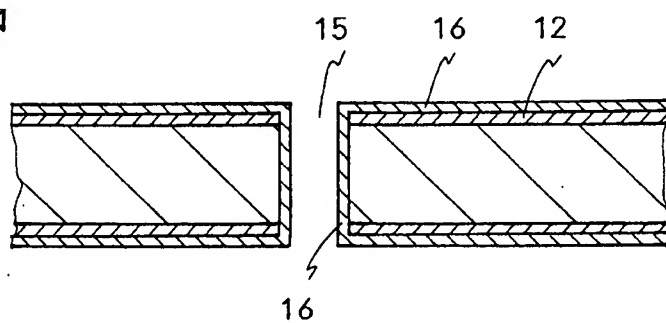
前記接続端子形成用の孔および前記サーマルビア形成用の孔に熱伝導性の良好なペーストを充填して、接続端子とともにサーマルビアを形成することを特徴とする請求の範囲第 1 1、1 2、1 3、1 4、1 5、1 6 または 1 7 項記載の I C パッケージの製造方法。

1 9. バンプにニッケルめっき、銀めっき、金めっき等の保護めっきを施すことを特徴とする請求の範囲第 1 1、1 2、1 3、1 4、1 5、1 6 または 1 7 項記載の I C パッケージの製造方法。

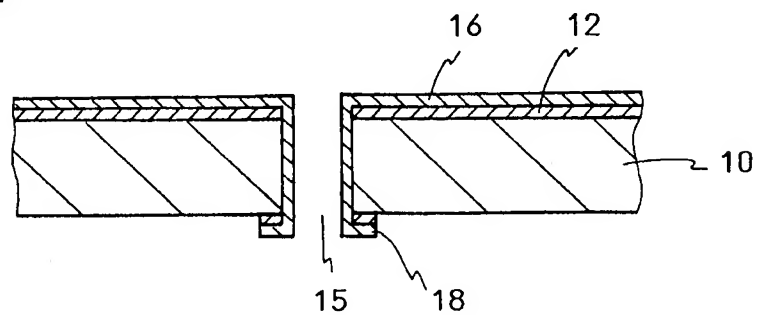
第 1 図



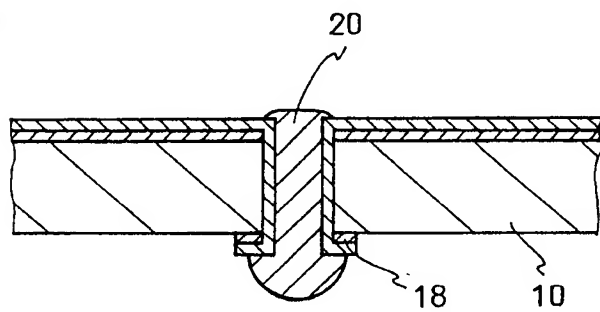
第 2 図



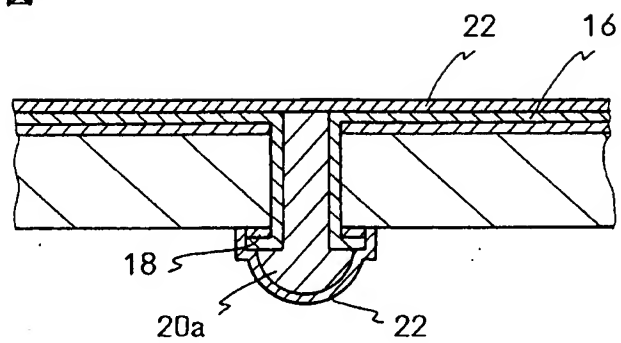
第 3 図



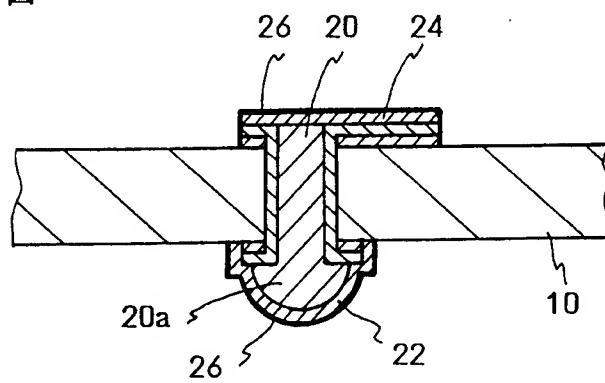
第 4 図



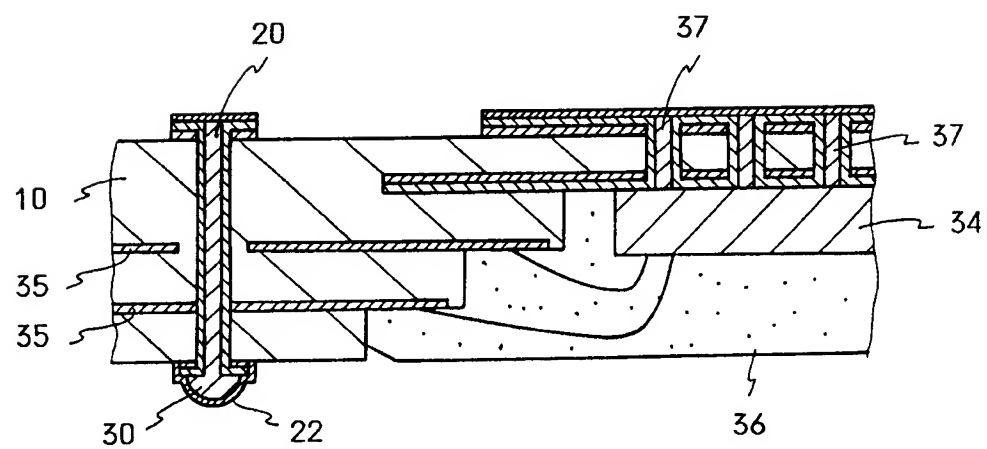
第 5 図



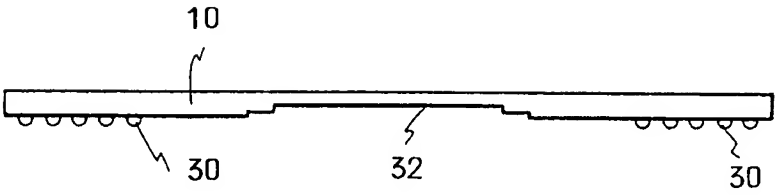
第 6 図



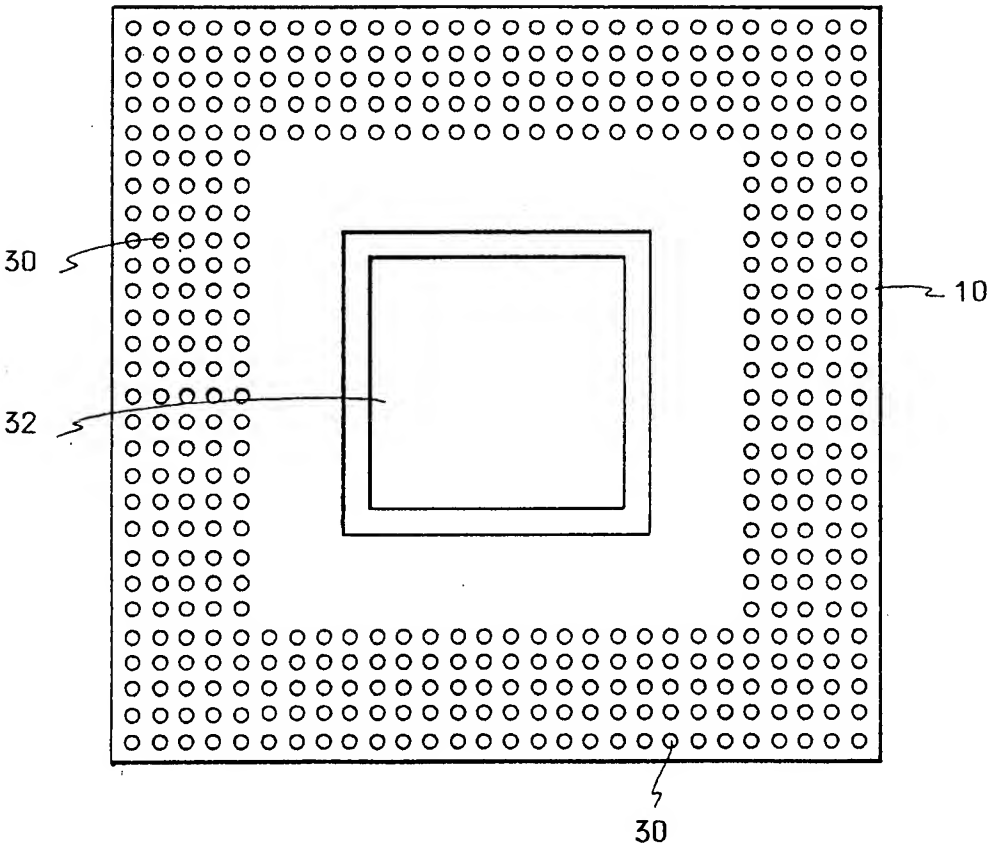
第 9 図



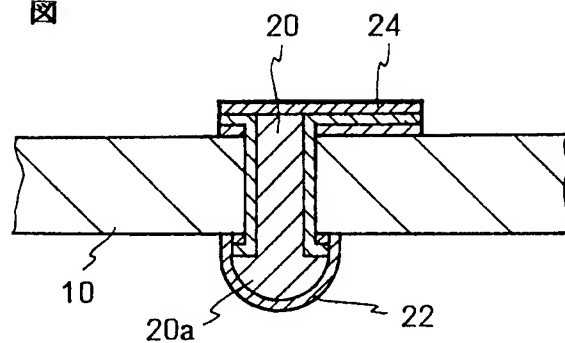
第 7 図



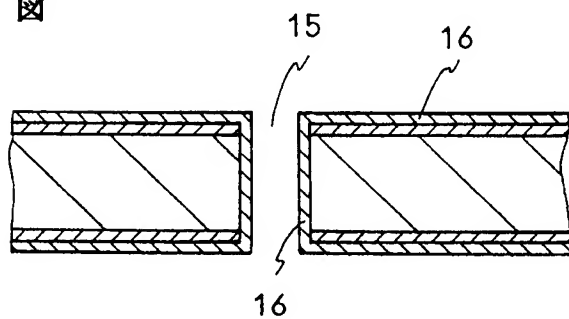
第 8 図



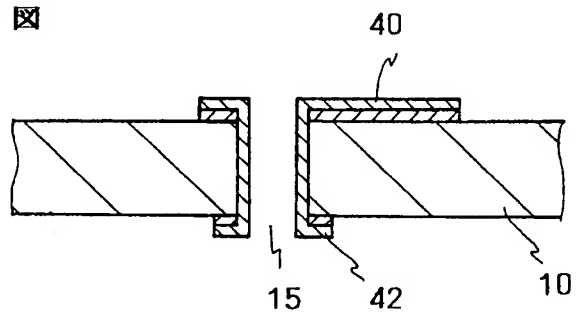
第 10 図



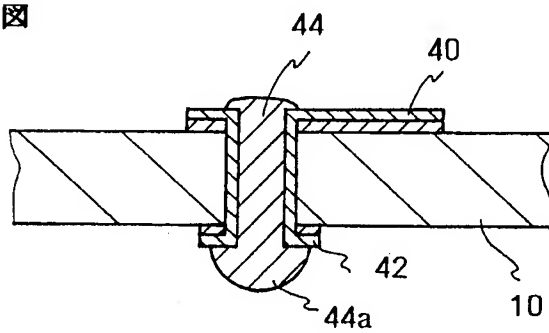
第 11 図



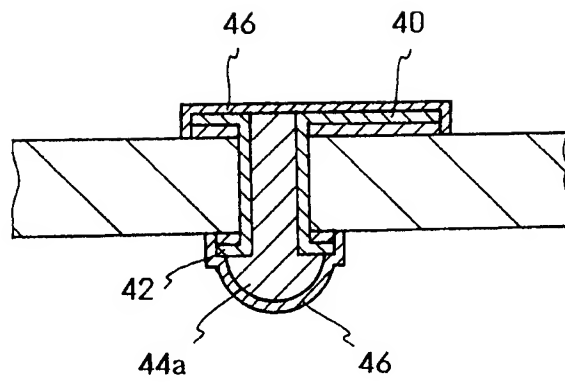
第 12 図



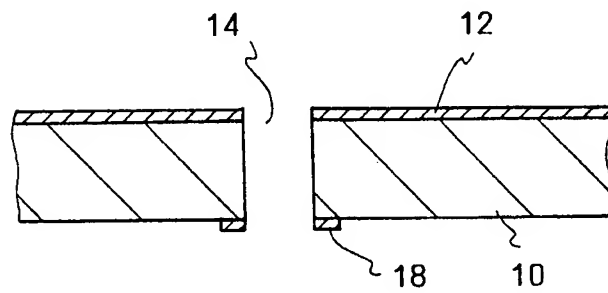
第 13 図



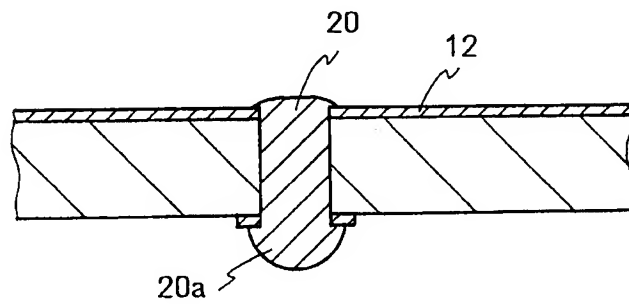
第 14 図



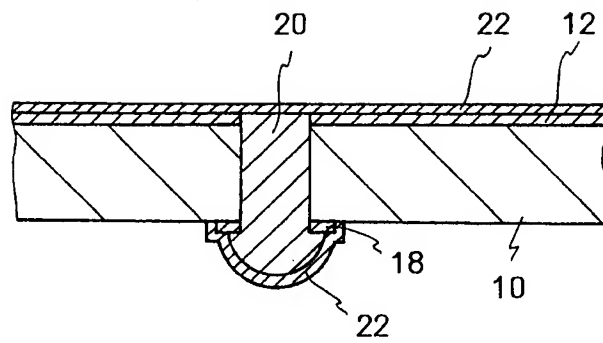
第 15 図



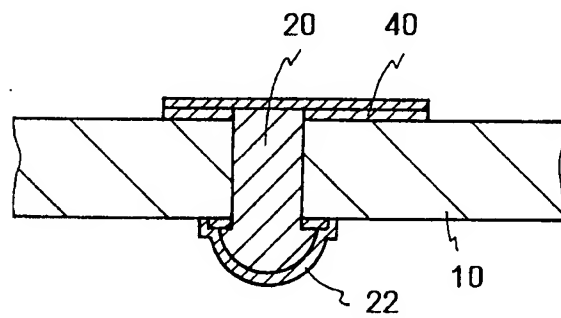
第 16 図



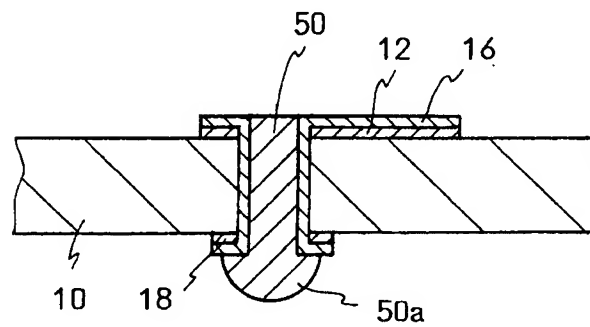
第 17 図



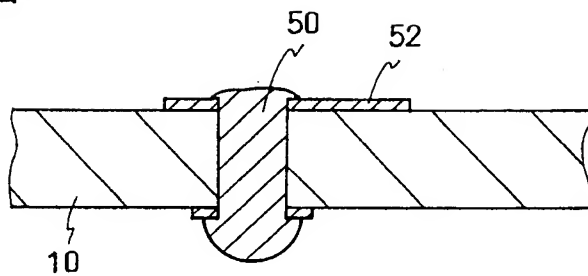
第 18 図



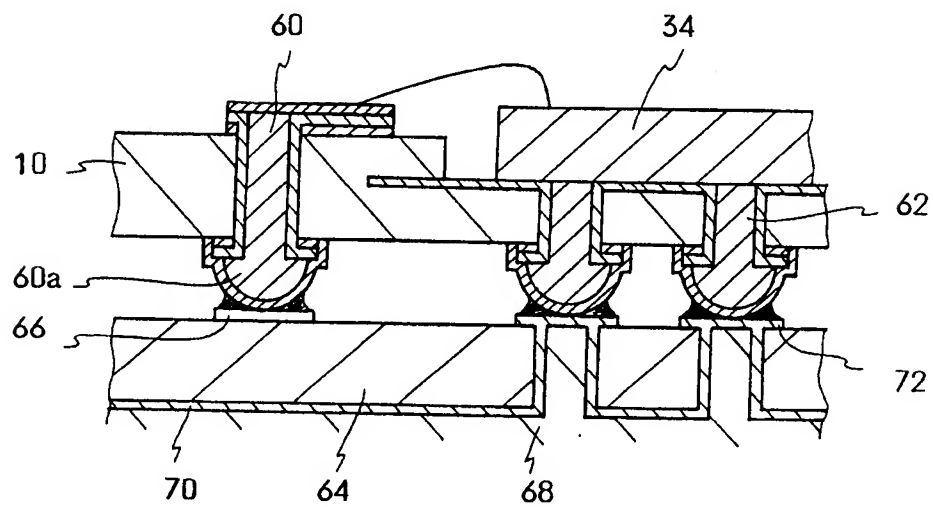
第 19 図



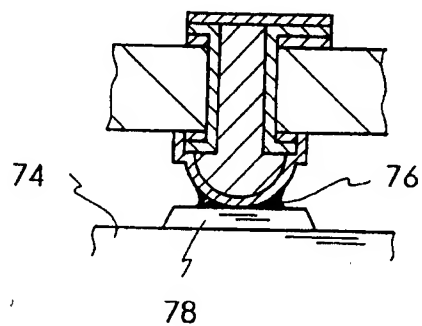
第 20 図



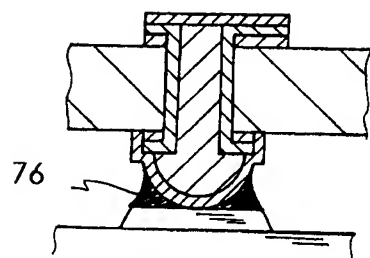
第 21 図



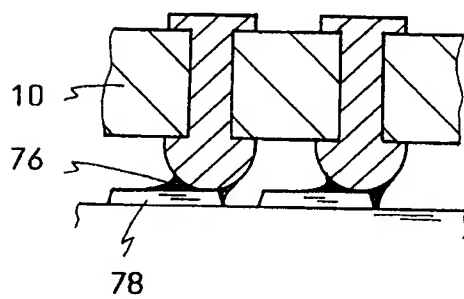
第 22 図



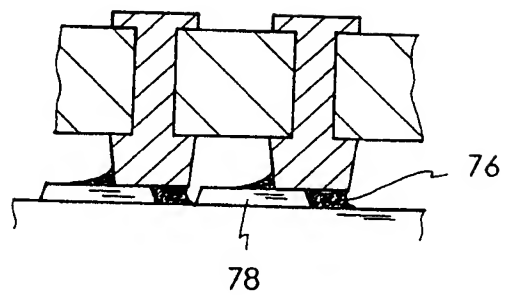
第 23 図



第 24 図



第 25 図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP94/00692

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁵ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁵ H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1972 - 1994
Kokai Jitsuyo Shinan Koho 1972 - 1994

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, A, 1-120852 (Hitachi Chemical Co., Ltd.), May 12, 1989 (12. 05. 89), (Family: none)	1-3, 11, 12, 14-17
P	JP, A, 5-121590 (Matsushita Electric Works, Ltd.), May 18, 1993 (18. 05. 93), (Family: none)	1-3, 11, 12, 14-17,
Y	JP, A, 4-266037 (Matsushita Electric Ind. Co., Ltd.), September 22, 1992 (22. 09. 92), (Family: none)	1-4, 11, 12, 14-17, 19

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

July 6, 1994 (06. 07. 94)

Date of mailing of the international search report

July 26, 1994 (26. 07. 94)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl³ H01L23/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl³ H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1972-1994年
日本国公開実用新案公報 1972-1994年

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, A, 1-120852 (日立化成工業株式会社), 12. 5月. 1989 (12. 05. 89) (ファミリーなし)	1-3, 11, 12, 14-17
P	JP, A, 5-121590 (松下電工株式会社), 18. 5月. 1993 (18. 05. 93) (ファミリーなし)	1-3, 11, 12, 14-17
Y	JP, A, 4-266037 (松下電器産業株式会社), 22. 9月. 1992 (22. 09. 92) (ファミリーなし)	1-4, 11, 12, 14-17, 19

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 先行文献ではあるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

06.07.94

国際調査報告の発送日

26.07.94

名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

岡 和 久 ㊞

4 M 9 3 5 5

電話番号 03-3581-1101 内線 3464